

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000011585 A  
(43)Date of publication of application: 25.02.2000

(21)Application number: 1019990027603 (71)Applicant: KOREA INSTITUTE OF  
(22)Date of filing: 08.07.1999 SCIENCE AND TECHNOLOGY  
(30)Priority: 28.07.1998 KR 1019980030405 (72)Inventor: HAN, CHEOL HUI  
KIM, CHUNG GI  
YOON, JUN BO  
YOON, UI SIK

(51)Int. Cl. H01L 27/06

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device of which area occupied on a substrate is small and of which passive electric device having little serial resistance and large current limit is integrated with a monolithic method is provided.

CONSTITUTION: The inductor(1) is composed of three parts which are formed by a single metal plating at the same time; a signal pillar(102) functioned as a path electrically connected with an integrated circuit (100) of a substrate(101); a supporting bar(103) supporting a spiral inductor(104) with a specific number to promote the mechanical stability while manufacturing and using; and the spiral inductor(104) minimizing the electromagnetic influence which can affect the integrated circuit(100) of the lower area and minimizing the signal loss to the substrate(101).

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20011227)

BEST AVAILABLE COPY

특 2000-0011585

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 27/06

(11) 공개번호 특2000-0011585  
(43) 공개일자 2000년02월25일

(21) 출원번호 10-1999-0027603  
(22) 출원일자 1999년07월08일  
(30) 우선권주장 1019980030405 1998년07월28일 대한민국(KR)  
(71) 출원인 한국과학기술원 윤덕용  
대전광역시 유성구 구성동 373-1  
(72) 발명자 윤준보  
대전광역시유성구전민동엑스포아파트410동1308호  
한철희  
대전광역시유성구신성동한울아파트103동502호  
윤익식  
대전광역시유성구도룡동383-2과기원아파트1동405호  
김충기  
대전광역시유성구도룡동397-5삼정빌리지102호  
(74) 대리인 황이남, 박형준

심사청구 : 있음

(54) 반도체 소자 및 그 제조방법

요약

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 집적 회로와 더불어 인덕터, 캐패시터, 마이크로 스위치 및 도파관 등과 같은 수동 전기 소자를 함께 모놀리딕 방식으로 제작하는 방법에 관한 것이다. 본 발명에서는 집적 회로를 덮는 상부에 기판과 이격되어 공중에 떠있는 구조를 갖는 수동 전기 소자가 제공된다. 본 발명에 따라 집적 회로 위에 수동 전기 소자를 기판과 이격되도록 형성하면, 이러한 수동 전기 소자가 기판 상에서 면적을 차지하지 않기 때문에 회로의 집적도를 획기적으로 높일 수 있다. 또한, 본 발명에 따른 수동 전기 소자는 기판으로부터 멀리 이격되어 있으므로 하부의 집적 회로에 주는 영향과 기판으로의 신호 손실을 최소화할 수 있다. 또한, 본 발명에서는 온-셋키트 수동 전기 소자의 금속선의 두께를 10 $\mu$ m 이상으로 하여 미늘이 작은, 적층 저항과 큰 전류 한계를 갖도록 했다. 본 발명에서는 또한 이미 제작된 집적 회로에 전혀 영향을 주지 않으면서 집적 회로의 상부에 수동 전기 소자를 모놀리딕 방식으로 제작할 수 있는 적절한 마이크로 머시닝 방법을 제공한다.

도표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 따라 제조된 인덕터의 사시도.  
도 2는 본 발명에 따라 제조된 인덕터의 제조 방법을 설명하기 위한 개략도.  
도 3a 내지 도 3b는 본 발명에 따라 제조된 인덕터의 주사 전자 현미경 사진.  
도 4a 내지 도 4b는 본 발명에 따라 제작된 인덕터의 주파수 변화에 따른 저항, 인덕턴스 및 Q 값 변화 특성을 도시한 그래프.  
도 5는 본 발명에 따라 제작된 인덕터의 전류 변화에 따른 저항과 온도 변화 특성을 도시한 그래프.  
도 6은 본 발명에 따라 제작된 캐패시터, 마이크로 스위치 및 도파관의 사시도.  
도 7a 및 도 7b는 본 발명에 따라서 다양한 수동 전기 소자들을 한 공정으로 제작하는 공정을 설명하기 위한 개략도.

< 도면의 주요 부분에 대한 부호의 설명 >

- |                     |                  |
|---------------------|------------------|
| 1 : 인덕터             | 2 : 캐패시터         |
| 3 : 마이크로 스위치        | 4 : 도파관          |
| 100 : 집적 회로         | 101 : 기판         |
| 102 : 신호 기둥         | 103 : 지지대        |
| 104 : 스피럴 인덕터       | 201 : 기판 보호층     |
| 202 : 집적 회로 접속점     | 203 : 씨앗 금속층     |
| 204 : 제 1 포토레지스트 몰드 | 205 : 희생 금속 몰드   |
| 206 : 제 2 포토레지스트 몰드 | 207 : 자외선 노광 영역  |
| 301 : 바닥 도체         | 601 : 하부 캐패시터 평판 |
| 602 : 캐패시터 유전체      | 603 : 상부 캐패시터 평판 |
| 604 : 신호판           | 605 : 스위치 유전체    |
| 606 : 상부 스위치 평판     | 607 : 조절판        |
| 608 : 접지판           | 609 : 신호선        |
| 610 : 바닥 접지판        | 611 : 벽 접지판      |
| 612 : 신호선 지지대       |                  |

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 구체적으로는 인덕터(inductor), 캐패시터(capacitor), 마이크로 스위치(micro-switch) 및 도파관(waveguide)과 같은 수동 전기소자가 집적회로의 상부에 집적회로와 이격되어 형성되는 반도체 소자 및 그 제조 방법에 관한 것이다. 본 발명은 특히, 집적회로 기술과 호환되는 마이크로 머시닝(micromachining) 방법을 이용해 모놀리딕(monolithic) 방식으로 수동 전기소자가 집적회로의 상부에 형성되는 반도체 소자 및 그 제조 방법에 관한 것이다.

중전의 집적회로 기술은 1964년 제이. 에스. 킬비(J. S. Kilby)에게 허여된 미합중국 특허 제 3,138,743 호로부터 출발하였다. '743 특허는 평면의 반도체 기판 위에 수동 소자를 포함하는 각종 전기소자를 집적하는 기술을 개시하고 있다. '743 특허에 따르면, 수동 전기소자를 회로와 같은 평면, 즉 반도체 기판의 표면 상에 집적하고 있으며, 따라서 칩(chip)의 크기가 컷을 뿐만 아니라, 기판(substrate)과 접촉하고 있기 때문에 발생하는 기판과의 기생 효과(parasitic effects)로 인해 수동 전기소자의 성능이 좋지 않은 단점이 있다. 이와 같은 단점은 최근 그 중요성이 점점 더해져 가고 있는 고주파 집적회로(RF IC)에 응용할 때 더욱 심각하다.

현재는, 칩 외부에 오프칩(off-chip) 수동 전기소자를 달아 사용하고 있다. 이와 같은 오프칩 수동 전기소자는 전기적 성능은 좋지만, 이로 인해 시스템의 크기가 커지고 시스템 조립에 필요한 비용이 증가한다는 단점을 여전히 가지고 있다.

집적 수동 전기소자(integrated passive component) 중에서, 저항(resistor)과 캐패시터는 종래의 집적회로 기술로도 어느 정도 원하는 전기적 성능을 얻을 수 있었다. 반면, 인덕터는 최근에 와서야 비로소 집적화가 시작되었다.

현재까지의 집적 인덕터는 주로 평면형 스피럴 인덕터(planar spiral inductor)가 대부분인데, 이러한 평면형 스피럴 인덕터는 집적 인덕터만을 위한 별도의 기판 상의 면적을 필요로 한다. 더구나, 일반적인 고주파용 회로에서 요구되는 인덕턴스(inductance)값을 얻기 위해 제작되는 집적 인덕터의 크기는 다른 능동 전기소자(active electric device)나 수동 전기소자에 비해 훨씬 크기 때문에 기판의 면적을 많이 차지한다. 그리고, 집적 인덕터가 기판과 붙어 있기 때문에 발생하는 기판과의 기생 효과와, 종래의 집적회로 기술로 구현할 수 있는 금속선의 두께의 한계(최대 5 $\mu$ m)로 인해, 이러한 종래의 집적 인덕터는 직렬 저항이 크고 전류 한계가 작다는 단점이 있었다. 큰 기판 손실과 큰 직렬 저항은 인덕터의 특성 중에 가장 중요한 Q(quality) 값을 작아지게 하고 Q 값의 최대치가 발생하는 주파수(peak-Q frequency)를 낮아지게 한다.

현재까지 집적 스피럴 인덕터의 성능을 향상시키는 방법으로 인덕터 하부의 기판을 식각하여 기판과의 기생 캐패시턴스를 줄이는 방법이 제안된 바 있는데, 1996년 7월 23일자로 에이. 에이. 아비디(A. A. Abidi) 등에게 허여된 미합중국 특허 제 5,539,241호와 1998년 6월 30일자로 에스. 수(S. Su) 등에게 허여된 미합중국 특허 제 5,773,870호 및 1998년 12월 1일자로 알. 비. 메릴(R. B. Merrill) 등에게 허여된 미합중국 특허 제 5,844,299호를 예로 들 수 있다. 그러나, 이러한 방법들은 인덕터 하부의 기판을 식각하기 때문에 인덕터 하부에 회로를 집적하지 못하며 그로 인해 여전히 별도의 집적 인덕터만을 위한 기판 상의 면적을 필요로 한다. 또한, 기판을 식각하는 공정이 집적회로 공정과 호환되기 어렵고, 패키지

(package)에 많은 문제를 일으킬 수 있다.

또 다른 방법으로서, 인덕터와 기판 사이에 폴리이미드(polyimide)와 같은 두꺼운 절연층을 넣어 기판과의 기생 캐패시턴스를 줄이는 방법이 제안된 바 있는데, 1995년 12월 26일자로 에스. 디. 찬들러(S. D. Chandler) 등에게 허여된 미합중국 특허 제 5,478,773호와 1998년 9월 8일자로 아이. 제이. 바알(I. J. Bahl)에게 허여된 미합중국 특허 제 5,805,043호를 예로 들 수 있다.

'773 특허에서는 집적 회로의 상부에 인덕터를 같이 집적할 수 있음을 제시하고 있으며, 또한 도금법에 의한 수  $\mu\text{m}$  두께의 구리를 사용하여 인덕터의 저항을 줄일 수 있음을 제시하고 있다. 그러나, '773 특허에서는, 인덕터가 하부의 집적 회로에 영향을 주지 않기 위해서 수십  $\mu\text{m}$  이상의 두께를 갖는 절연층이 필요할 것으로 예상되는데, 이 특허에서는 1  $\mu\text{m}$  정도 두께의 폴리이미드 등을 사용할 것을 주장하고 있을 뿐이다. 또한, '773 특허에서는 절연층의 유전 상수(dielectric coefficient) 역시 매우 작아야 하고 절연층을 형성하는 공정의 온도 등이 하부에 이미 제작된 집적 회로에 영향을 주어서는 안된다는 제약이 있다. 또한, '773 특허에서는 공정상 일어날 지도 모르는 문제를 고려해서 도금 구리의 두께를 수  $\mu\text{m}$  라 고만 명시하고 있는데, 더욱 낮은 저항과 큰 전류 한계를 갖는 인덕터를 만들기 위해서는 수십  $\mu\text{m}$  두께를 가능하게 할 수 있는 공정의 확립이 요구된다.

또 다른 방법으로, 박재영(J. Y. Park) 등이 Proc. SPIE, vol. 3514, pp. 218-228, 1998 에 발표한 'Micromachined High Q Inductors For High Frequency Applications' 논문에서, 폴리이미드 도금 몰드와 두꺼운 도금 구리를 사용하여 인덕터를 공중에 띄워 제조하는 기술이 개시된 바 있다. 그러나, 개시된 기술에 따르면 공정 온도가 300°C 이상으로 높기 때문에 하부에 집적된 상태에서 공정을 수행하기 어렵다는 단점이 있다. 또한, 다층 공정을 수행하는 데 있어서, 전기가 통하지 않는 폴리이미드 상부에도 도금을 수행해 주기 위해 매층마다 씨앗 금속층을 반드시 형성해 주어야 하며, 이로 인해 공정 수의 증가하게 된다. 아울러, 인덕터를 공중에 지지해 주는 지지부와 인덕터 사이에 씨앗 금속층이 존재하기 때문에 집적률을 악화시키는 등 많은 문제점들을 안고 있다.

#### 본 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 집적회로가 제작된 반도체 기판 상에 인덕터 등과 같은 수동 전기소자를 기판 상부로 대략 수십  $\mu\text{m}$  의 높이로 띄워 형성함으로써, 기판 상에 차지하는 면적이 크게 줄어든 반도체 소자를 제공하는 것이다.

또한, 본 발명의 다른 목적은 마이크로 머시닝 방법을 이용하여 기판 손실이 작으며 금속선의 두께를 수십  $\mu\text{m}$  로 함으로써 직렬 저항이 작고 전류 한계가 큰 수동 전기소자가 모놀리딕 방식으로 집적된 반도체 소자를 제공하는 것이다.

본 발명의 또 다른 목적은 이미 제작된 집적회로에 전혀 영향을 주지 않으면서 집적회로의 상부에 우수한 성능을 갖는 온-씨킷 수동 전기소자를 모놀리딕 방식으로 제작할 수 있는 마이크로 머시닝을 이용한 반도체 소자 제조 방법을 제공하는 것이다.

#### 본 발명의 구성 및 작용

본 발명은 상술한 바와 같은 목적을 달성하기 위한 것으로서, 본 발명에 따른 반도체 소자 제조방법은 기판을 마련하는 단계, 기판상에 제 1 금속층을 형성하는 단계, 상기 제 1 금속층상에 제 1 포토레지스트를 소정의 형상으로 형성하는 단계, 상기 제 1 포토레지스트에 의해서 정의되는 영역을 제외한 영역 중 소정의 영역상에 제 2 금속층을 상기 제 1 포토레지스트와 실질적으로 동일한 높이로 형성하는 단계, 상기 제 1 포토레지스트 및 상기 제 2 금속층 상에 제 2 포토레지스트를 도포하는 단계, 상기 도포된 제 2 포토레지스트 영역중 상기 제 1 포토레지스트에 의해서 정의되는 영역을 포함하는 소정의 영역과 상기 제 1 포토레지스트를 제거하는 단계, 상기 제거된 제 1 포토레지스트에 의해서 노출된 상기 제 1 금속층 및 상기 제 2 금속층 중 일부와 상기 제 2 포토레지스트에 의해서 정의되는 영역을 제외한 영역상에 제 3 금속층을 형성하는 단계, 상기 제 2 포토레지스트를 제거하는 단계, 상기 제 2 금속층을 제거하는 단계, 및 상기 제 1 금속층 중 상기 제 3 금속층에 의해 덮인 부분을 제외한 나머지 부분을 제거하는 단계를 포함한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명하면 다음과 같다.

도 1은 본 발명에 따라 제조된 인덕터(1)의 사시도이다. 기판(101)은 실리콘(Si)이나 갈륨아세나이드(GaAs)와 같은 반도체이거나 유리라도 좋다. 기판의 제약은 없다. 반도체 기판인 경우에 기판(101)은 표면에 집적 회로(100)를 내포할 수 있다. 본 발명에 따라 제조된 인덕터(1)는 세 부분으로 나뉘어 있는데, 하나는 기판(101)의 집적회로(100)와 전기적으로 연결되는 통로인 신호 기둥(102)이고, 다른 하나는 지지대(103)이며, 나머지는 스피럴 인덕터(104)이다. 세 부분(102, 103, 및 104)은 단일의 금속 도금에 의해 동시에 형성된다. 지지대(103)는 소정의 갯수로 스피럴 인덕터(104)를 지지하여 제조 공정중과 사용중의 기계적인 안정을 꾀한다. 스피럴 인덕터(104)가 집적 회로를 내포한 기판(101)로부터 떠 있는 높이는 10  $\mu\text{m}$  이상으로 하여 스피럴 인덕터(104)가 하부의 집적 회로에 줄 수도 있는 전자기적 영향을 최소화하고, 아울러 기판(101)으로의 신호 손실을 최소화한다. 또한 신호 기둥(102)과 스피럴 인덕터(104)를 이루는 금속은 도금으로 형성된 구리이며 두께를 10  $\mu\text{m}$  이상으로 하여 작은 직렬 저항과 큰 전류 한계를 가지도록 한다. 상술한 바와 같은 도 1에 도시된 구조를 통하여, 높은 Q 값과 큰 전류 한계를 가지는 우수한 성능의 집적 인덕터를 기판 면적의 추가 사용 없이 기존의 집적회로와 같이 집적할 수 있게 된다.

도 2는 도 1에 도시된 본 발명에 따른 인덕터(1)의 제조과정의 일 실시예를 설명하기 위한 개략도이다.

도 2의 (a)를 참조하여 살펴보면, 집적 회로를 내포한 기판(101) 위에 집적 회로의 보호와 전기적인 격리를 위한 기판 보호층(201)을 형성하고, 집적 회로와 전기적인 연결을 위한 집적 회로 접속점(202)을 형성한 후, 도금에 필요한 씨앗 금속층(203)을 진공 증착한다. 씨앗 금속층(203)으로는 구리의 확산을 막기 위해 일반적으로 사용되고 있는 타이타늄-텅스텐(TiW)과 구리(Cu)를 증착하여 사용할 수 있는데, 본 실시예에서는 타이타늄(Ti)과 구리(Cu)를 각각 0.02  $\mu\text{m}$  와 0.2  $\mu\text{m}$  의 두께로 진공 증착하여 사용하였다.

이어서, 도 2의 (b)에 도시되어 있는 바와 같이, 제 1 포토레지스트 몰드 (204)를 일반적인 반도체 공정인 사진작업(lithography)을 사용하여 소정의 높이와 직경으로 형성한다. 본 실시예에서는 각각  $55\mu\text{m}$  와  $20\mu\text{m}$  의 높이와 직경으로 형성하였다. 이후, 제 1 포토레지스트 몰드(204)는 미리 전체적으로 자외선에 노광하는 과정을 더 거칠 수 있다. 이것은 차후의 사진작업의 현상과정에서 용이하게 제거되게 하기 위한 것이다. 다음, 니켈 도금을 수행하여 희생 금속 몰드(205)를 제 1 포토레지스트 몰드(204)가 형성된 영역을 제외한 나머지 영역상에 제 1 포토레지스트 몰드(204)와 비슷한 높이로 형성한다. 희생 금속 몰드(205)는 차후 희생 제거되어 희생 금속 몰드(205)의 위에 제작될 인덕터를 띄우기 위해 사용된다. 따라서, 희생 금속 몰드(205)의 높이가 곧 인덕터를 기판 위로 띄우게 될 높이이다. 본 실시예에서는 실제로  $50\mu\text{m}$ 의 높이로 인덕터를 제작하였으며, 이러한 높이는 종래의 반도체 소자 제조 기술에서는 전혀 얻을 수 없는 높이이다.

이후, 도 2의 (c)에 도시된 바와 같이, 제 1 포토레지스트 몰드(204) 및 희생 금속 몰드(205) 상에 제 2 포토레지스트 몰드(206)를 형성한다. 본 실시예에서는, 제 2 포토레지스트 몰드(206)를 제 1 포토레지스트 몰드(204)와 같은 방법으로  $20\mu\text{m}$ 의 두께로 형성하였다. 이때, 제 2 포토레지스트 몰드(206) 중 제 1 포토레지스트 몰드(204) 상의 영역을 포함하는 부분과 제 1 포토레지스트 몰드(204)는 사진 작업 중에 현상(development) 과정에서 함께 제거된다. 이 현상과정을 통해 제거되는 제 2 포토레지스트 몰드(206) 영역은 특정 모양으로 자외선 노광시킴으로써 정의된 영역이다. 또한, 제 1 포토레지스트 몰드(204)는 이미 전체적으로 자외선 노광된 영역이다. 도 2의 (d)는 이 단계까지 수행된 형상을 도시하고 있다.

이후, 제거된 제 1 포토레지스트 몰드(204)에 의해서 노출된 씨앗 금속층 (203)과 희생 금속 몰드(205)의 일부 영역 및 제거된 제 2 포토레지스트 몰드(204)에 의해서 노출된 희생 금속 몰드(205) 영역 상에 구리 도금을 수행한다. 본 실시예에서 구리 도금의 두께는  $15\mu\text{m}$ 이다. 이 때, 희생 금속 몰드(205)가 금속이므로, 희생 금속 몰드(205)의 상부에서는 구리가 성장하여  $15\mu\text{m}$ 의 두께로 스피랄 인덕터 (104)를 형성하고, 제 1 포토레지스트 몰드(204)가 있었던 공간에는 양쪽으로부터 구리가 성장하여 직경  $20\mu\text{m}$ 의 공간을 모두 채움으로써 신호 기둥(102)을 형성한다. 이때, 집적 회로 접속점(202)의 상부에 위치하지 않은 제 1 포토레지스트 몰드 (204)의 영역에는 지지대(103)가 형성된다.

이후, 제 2 포토레지스트 몰드(206)를 마세톤과 같은 유기 용제에서 제거한다. 도 2의 (e)는 이 단계까지 수행된 형상을 도시한 것이다. 다음 구조의 온-셋키트 수동 전기 소자를 제작하고자 할 경우에는 단지 도 2의 (b)에서부터 도 2의 (e)까지 예시한 과정을 반복하면 총 수에 제한 없이 복잡한 다음 구조를 만들 수 있다.

이어서, 도 2의 (f)에 도시한 바와 같이, 희생 금속 몰드(205)만을 선택적으로 제거한다. 이로써, 스피랄 인덕터(104)가 신호 기둥(102) 및 지지대(103)에 의지하여 공중에 뜨게 된다. 본 실시예에서, 선택적 식각은 이미 도금 산업에 이용되고 있는, 구리는 식각하지 않으면서 희생 금속 몰드(205)인 니켈만을  $400:1$  이상의 높은 식각 선택비로 식각하는 식각액 Top Rip C-150(Okuno Chemical Industries, Co., Ltd., Japan)을 시중에서 구입하여 사용하였다. 한편, 선택적 식각 방법으로써 전기 화학적 선택 식각을 이용할 수 있다. 끝으로, 수동 전기 소자끼리의 전기적 격리를 위하여 씨앗 금속층(203) 중 상기 지지대(103)에 의해 덮힌 부분을 제외한 부분을 식각한다. 이로써, 본 발명에 따른 인덕터 소자의 제조가 완료된다.

도 3a 및 도 3b는 본 발명에 따라 실제로 제작된 온-셋키트 인덕터의 주사 전자 현미경(Scanning Electron Microscopy, SEM) 사진이다. 도 3a 및 도 3b의 바닥 도체(301)는 인덕터의 RF 특성을 위해 제작한 것으로써, 실제 사용되는 인덕터에는 필요하지 않다. 하지만, 이 바닥 도체(301)를 인덕터의 하부에 위치시켜 접지판으로 작용시킬 경우 하부 회로에 대한 전자기적 영향을 더욱 효과적으로 차단할 수 있다. 바닥 도체(301)는 도 2a의 공정 후에 사진 공정과 구리 도금 공정을 부가적으로 수행함으로써 쉽게 형성할 수 있다.

도 3a의 스피랄 인덕터(104)는 두께  $15\mu\text{m}$ , 폭  $20\mu\text{m}$ 의 구리로 이루어져 있고, 기판으로부터  $50\mu\text{m}$ 의 높이로 공중에 떠 있다. 도 3b는 전술한 바와 같이 도 2의 (b)에서부터 도 2의 (e)까지의 과정을 두 번 수행하여 직렬로 연결된 두 층의 인덕터를 기판으로부터  $50\mu\text{m}$ 의 높이로 공중에 띄운 모습이다. 두 층의 스피랄 인덕터 (104)의 사이는  $45\mu\text{m}$ 이다.

도 4a는 본 발명에 따라서 실제로 제작된 도 3a의 인덕터의 RF 특성을 측정한 결과이다. 도 4a에는 도 3a의 인덕터를 유리 기판 위에 제작한 것과 실리콘 기판 위에 제작한 것에 대한 RF 특성 결과가 함께 도시되어 있다. 유리 기판은 미국 코닝사의 #7740 제품이고, 실리콘 기판은  $1-20\Omega\cdot\text{cm}$ 의 비저항으로 붕소가 확산된 (100) 방향의 기판이며 표면에 절연층으로써  $10\mu\text{m}$  두께의 포토레지스트가 입혀져 있는 기판이다. 실리콘 기판 위에 제작된 인덕터에 대한 측정 결과는 인덕터의 특성에서 바닥 도체에 의한 기생 효과를 제거한 결과이다. 도 4a에는  $0.5-10\text{GHz}$ 의 주파수 대역에서의 인덕터의 저항(R)과 인덕턴스(L), 및 Q값의 변화가 나타나 있다. 도 4a에서 실선은 측정된 값이며 점선은 등가 회로를 이용해서 모사한 결과이다. 유리 기판 위에 제작된 인덕터는  $1.8\text{nH}$ 의 인덕턴스와  $10\text{GHz}$ 의 주파수에서 최대 Q값 57를 가지며, 실리콘 기판 상에 제작된 인덕터는  $1.9\text{nH}$ 의 인덕턴스와  $4\text{GHz}$ 의 주파수에서 최대 Q값 36를 나타내었다.

도 4b는 유리 기판 위에 제작된 도 3b의 온-셋키트 인덕터의 RF 특성을 측정한 결과이다. 도 4b로부터 도 3b의 인덕터는  $5\text{nH}$ 의 인덕턴스와  $5\text{GHz}$ 의 주파수에서 최대 Q값 38를 가짐을 알 수 있다. 도 4b로부터 본 발명에 따른 방법으로 인덕터를 3차원적으로 적층할 경우 같은 면적으로 두 배 이상의 인덕턴스를 가짐으로써, 면적 당 인덕턴스 측면에서 매우 우수한 결과를 보임을 알 수 있다.

도 4a와 도 4b를 참조하면, 본 발명에 따라서 실제로 제작된 온-셋키트 인덕터의 전기적 특성 값들은 모두 현재까지 집적 인덕터에 관해서 발표된 값들과 비교해 매우 우수한 값을 알 수 있고, 이들이 모두 등가 회로를 통해 매우 정확히 모사될 수 있음을 알 수 있다.

도 5는 본 발명에 따라 제작된 인덕터의 전류 변화에 따른 저항과 온도 변화를 도시한 것이다. 인덕터의 온도는 도체의 저항이 온도의 변화에 따라 변화하는 일반적인 현상을 통해 구했으며, 구리의 TCR(temperature-coefficient of resistivity) 값으로는 일반적으로 널리 알려진  $0.00393/^{\circ}\text{C}$ 를 이용했다. 도 5로부터  $50^{\circ}\text{C}$ 에 도달하는 전류가  $180\text{mA}$ 이고, 이 전류가 흐르는 단면적이 폭  $20\mu\text{m}$ 에 두께  $15\mu\text{m}$ 이므로

이때의 전류 밀도는  $6 \times 10^4 \text{ A/cm}^2$  이며, 이 전류밀도는 거의 세계에서 일반적인 인덕터에 줄릴 수 있는 최대 전류밀도보다 100배 이상임을 맥리만(C. W. T. McLyman)의 저서 'Transformer and Inductor Design Handbook', New York: Marcel Dekker, Inc., pp. 84-89, 1988로부터 알 수 있다. 그러므로, 본 발명의 실시예에 의한 공정으로  $10 \mu\text{m}$  이상의 구리를 인덕터 재질로 사용함으로써 큰 전류 한계를 얻게 된다.

도 6은 본 발명에 따라 제조된 수동 반도체 소자들의 사시도이다. 기판 (101)은 본 발명의 실시예에서와 같이 역시 집적 회로를 내포할 수 있다.

캐패시터(2)는 도 1의 인덕터(1)와 같이 집적 회로(100)를 덮는 상부에 기판(101)으로부터  $10 \mu\text{m}$  이상 띄우게 함으로써 형성된다. 본 발명에 따라 제조된 캐패시터(2)는 추가의 기판 면적의 차지 없이 기판 손실을 줄이며  $10 \mu\text{m}$  이상 두꺼운 구리를 하부 캐패시터 평판(601)과 상부 캐패시터 평판(603)으로 사용함으로써 저항 손실을 줄이고 Q값을 크게 한다.

마이크로 스위치(3)는 도 2의 인덕터(1)와 도 6의 캐패시터(2) 등과 같은 온-씨키트 수동 소자의 장점을 모두 갖는다. 마이크로 스위치(3)의 동작 원리는 다음과 같다. RF 신호가 두개의 신호판(604)사이로 흐르는 것을 상부 스위치 평판(606)이 결정하는데, 상부 스위치 평판(606)이 신호판(604)에 닿으면 도통되고 떨어져면 단선된다. 만일 신호판(604)의 상부에 캐패시터 유전체(602)와 동일한 재질의 스위치 유전체(605)를 가진다면, 물리적으로 상부 스위치 평판(606)이 신호판 (604)에 닿지 않더라도 고주파 신호를 도통시킬 수 있다. 그리고, 상부 스위치 평판(606)을 움직이게 하기 위한 조절판(607)이 있다. 조절판(607)과 상부 스위치 평판(606) 사이에는 두 판의 물리적 접촉을 막기 위해 캐패시터 유전체(602)와 동일한 재질의 절지판(608)이 있다. 상부 스위치 평판(606)과 조절판(607)의 사이에 전압을 가해주면, 서로 정전 기력에 의해 당겨지게 되어 상부 스위치 평판(606)이 움직이게 되는 것이다.

도파관(4)은 전파(electric wave)와 같은 초고주파 신호를 보낼 수 있다. 온-씨키트 도파관(4)은 신호선(609), 바닥 접지판(610), 두개의 벽 접지판(611), 및 신호선 지지대(612)로 구성되어 있고, 바닥 접지판(610)과 두개의 벽 접지판 (611)은 전기적으로 접지된다. 이러한 구조에 따르면, 신호선(609)으로 광대역 폭의 전파를 적은 손실로 보낼 수 있다. 신호선(609)을 중간에서 지지하기 위해 소정의 갯수의 신호선 지지대(612)를 가질 수 있다.

도 7a 및 도 7b는 본 발명에 따라서 다양한 온-씨키트 수동 소자들을 한 공정으로 제작하기 위한 공정 순서를 설명하는 개략도이다.

도 7a의 (a)~(e)까지는 도 2의 (a)~(e)까지의 공정과 거의 동일하다. 다만, 본 실시예에서는 캐패시터 유전체(602)와 스위치 유전체(605), 및 절지판(608)용으로 알루미늄, 이산화규소막, 실리콘 질화막, 탄화규소막 등과 같은 유전 물질을 증착하고 적절한 모양으로 패터닝한 후 식각하는 공정과, 이렇게 형성된 유전체 위에 도금이 일어나게 하기 위해 전체적인 기판의 상부에 씨앗 금속층(203)을 진공 증착하는 공정을 추가로 수행한다. 도 7a의 (e)는 이 단계까지 수행한 후의 기판 모습을 도시하고 있다.

다음, 다시 한번 도 2의 (b)로부터 도 2의 (e)까지의 공정을 거치면 도 7b의 (h)에 도시한 바와 같이 상부 캐패시터 평판(603), 상부 스위치 평판(606), 및 벽 접지판(611)의 나머지 일부만이 형성된다.

마지막으로, 도 2와 동일한 공정을 거쳐 희생 금속 플드(205)를 선택적으로 제거하고 수동 전기 소자끼리의 전기적 격리를 위하여 씨앗 금속층(203)의 일부를 식각하면, 네가지 온-씨키트 수동 전기 소자가 모두 한 공정에 의해 집적 회로와 함께 완성된다. 다만, 도 6에 도시된 온-씨키트 도파관(4)의 바닥 접지판(610)은 도 7a의 공정 후에 사진 공정과 구리 도금 공정을 부가적으로 수행함으로써 형성할 수 있다.

지금까지 설명한 본 발명에 따른 인덕터(1), 캐패시터(2), 마이크로 스위치 (3), 및 도파관(4)은 모두 수동 전기 소자의 일부 예이며 이 외의 다른 수동 전기 소자도 이와 같은 방법으로 쉽게 집적할 수 있다.

상술한 본 발명의 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 본 기술에 해당하는 당업자라면 본 발명의 사상을 이용하여 다양한 변형과 응용이 가능하리라 예상되나 이는 하기의 특허 청구범위에 속함을 밝혀둔다.

## 발명의 효과

전술한 바와 같이 본 발명에 따르면, 집적 회로에 필수적인 수동 전기 소자를 회로와 같은 평면이 아니라 회로의 상부에 집적하여 형성함으로써, 수동 전기 소자를 집적하기 위한 면적을 없앴으로써 기판의 면적을 획기적으로 줄일 수 있게 된다. 또한, 수동 전기 소자를 기판과 떨어져 있게 함으로써, 기판과의 기생 효과를 획기적으로 줄일 수 있어서, 수동 전기 소자의 성능을 향상시킬 수 있게 된다. 또한, 이미 제작되어 있는 집적 회로에 영향을 주지 않는 마이크로 머시닝 방법을 이용하여 쉽게 금속선의 두께를 기존의 집적 회로 기술에 의한 것보다 훨씬 두껍게 할 수 있기 때문에 수동 전기 소자의 직렬 저항을 줄이고 줄릴 수 있는 전류의 한계를 향상시킬 수 있게 되어 이 또한 수동 전기 소자의 성능 향상에 기여할 수 있게 된다. 고안된 마이크로 머시닝 방법은 일반적인 반도체 사진 공정과 도금 공정만으로 이루어져 있기 때문에 쉽고 정교하다.

## (57) 청구의 범위

### 형구항 1

기판상에 반도체 소자를 형성하는 반도체 소자 제조방법에 있어서, 상기 기판상에 제 1 금속층을 형성하는 단계, 상기 제 1 금속층상에 제 1 포토레지스트를 소정의 형상으로 형성하는 단계, 상기 제 1 포토레지스트에 의해서 정의되는 영역을 제외한 영역 중 소정의 영역상에 제 2 금속층을 상기 제 1 포토레지스트와 실질적으로 동일한 높이로 형성하는 단계, 상기 제 1 포토레지스트 및 상기 제 2 금속층 상에 제 2 포토레지스트를 도포하는 단계, 상기 도포된 제 2 포토레지스트 영역중 상기 제 1 포토레지스트에 의해서 정의되는 영역을 포함하는 소정의 영역과 상기 제 1 포토레지스트를 제거하는 단계, 상기 제거된 제 1 포토레지스트에 의해서 노출된 상기 제 1 금속층과 상기 제 2 포토레지스트에 의해서 노출된 상기 제 2 금속

층 상에 제 3 금속층을 형성하는 단계, 상기 제2 포토레지스트를 제거하는 단계, 상기 제 2 금속층을 제거하는 단계, 및 상기 제 1 금속층 중 상기 제 3 금속층에 의해 덮인 부분을 제외한 나머지 부분을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 2.

제 1항에 있어서, 상기 기판은 집적회로를 표면에 내포하고 있으며, 상기 집적 회로를 보호하는 보호층을 형성하는 단계를 더 포함하며, 상기 제 1 금속층을 형성하는 단계는 상기 보호층 및 상기 보호층에 의해 덮이지 않은 상기 기판 영역상에 제 1 금속층을 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 3

제 2항에 있어서, 상기 제 1 포토레지스트를 형성하는 단계는 상기 보호층에 의해 덮이지 않은 기판 부분에 형성된 제 1 금속층 영역상에만 제 1 포토레지스트를 형성하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 4.

제 1항에 있어서, 상기 제 1 포토레지스트를 형성하는 상기 단계는 제 1 포토레지스트를 형성한 후, 형성된 제 1 포토레지스트에 자외선을 조사하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 5

제 1항 내지 제 4항중 어느 한 항에 있어서, 상기 제 2 포토 레지스트를 제거하는 상기 단계 이후에, 상기 제 3 금속층상에 제 3 포토레지스트를 소정의 형상으로 형성하는 단계, 상기 제 3 포토레지스트에 의해서 정의되는 영역을 제외한 영역 중 소정의 영역상에 제 4 금속층을 상기 제 3 포토레지스트와 실질적으로 동일한 높이로 형성하는 단계, 상기 제 3 포토레지스트 및 상기 제 4 금속층 상에 제 4 포토레지스트를 도포하는 단계, 상기 도포된 제4 포토레지스트 영역중 상기 제 3 포토레지스트에 의해서 정의되는 영역을 포함하는 소정의 영역과 상기 제 3 포토레지스트를 제거하는 단계, 상기 제거된 제 3 포토레지스트에 의해서 노출된 상기 제 3 금속층과 상기 제 4 포토레지스트에 의해서 노출된 상기 제 4 금속층 상에 제 5 금속층을 형성하는 단계, 상기 제 4 포토레지스트를 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 6

제 1항 내지 제 4항중 어느 한 항에 있어서, 상기 제2 포토레지스트를 제거하는 상기 단계 이후에, 상기 제 3 금속층상에 유전체를 형성하는 단계, 상기 유전체상에 제 4 금속층을 형성하는 단계, 상기 제 4 금속층상에 제 3 포토레지스트를 소정의 형상으로 형성하는 단계, 상기 제 3 포토레지스트에 의해서 정의되는 영역을 제외한 영역 중 소정의 영역상에 제 5 금속층을 상기 제 3 포토레지스트와 실질적으로 동일한 높이로 형성하는 단계, 상기 제 3 포토레지스트 및 상기 제 5 금속층 상에 제 4 포토레지스트를 도포하는 단계, 상기 도포된 제 4 포토레지스트 영역중 상기 제 3 포토레지스트에 의해서 정의되는 영역을 포함하는 소정의 영역과 상기 제 3 포토레지스트를 제거하는 단계, 상기 제거된 제 3 포토레지스트에 의해서 노출된 상기 제 4 금속층과 상기 제 4 포토레지스트에 의해서 노출된 상기 제 5 금속층 상에 제 6 금속층을 형성하는 단계, 및 상기 제 4 포토레지스트를 제거하는 단계를 더 포함하는 것을 특징으로 반도체 소자 제조 방법.

#### 청구항 7

제 1항 내지 제 4항중 어느 한 항에 있어서, 상기 기판상에 보호층을 도포하고 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자 제조 방법.

#### 청구항 8.

제 1항 내지 제 4항중 어느 한 항에 있어서, 상기 제 2 금속층은 니켈로 이루어지고, 상기 제 3 금속층은 구리로 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항 9

제 1항 내지 제 4항중 어느 한 항에 있어서, 상기 제 2 금속층은 구리로 이루어지고, 상기 제 3 금속층은 니켈로 이루어지는 것을 특징으로 하는 반도체 소자 제조방법.

#### 청구항 10

기판 상에 형성된 소정의 높이를 갖는 신호 기둥, 및 상기 신호 기둥과 연결되어 있으며, 상기 기판 상에 이격되어 형성된 금속체를 포함하는 인덕터.

#### 청구항 11

제 10항에 있어서, 상기 신호 기둥과 상기 신호 기둥 하부의 기판의 사이에 도체판을 더 포함하는 것을 특징으로 하는 인덕터.

#### 청구항 12

제 10항에 있어서, 상기 신호 기둥과 같은 높이의 지지대를 한 개 이상 포함하는 것을 특징으로 하는 인덕터.

#### 청구항 13

기판 상에 형성된 소정의 높이를 갖는 신호 기둥, 및 상기 신호 기둥과 연결되어 있으며, 상기 기판 상에 이격되어 순차적으로 형성된 하부 캐패시터 평판과 캐패시터 유전체 및 상부 캐패시터 평판을 포함하는 캐패시터.

#### 형구항 14

기판 상에 형성된 소정의 높이를 갖는 신호 기둥, 상기 신호 기둥과 연결되어 있으며, 상기 기판 상에 이격되어 순차적으로 형성된 신호판 및 스위치 유전체,

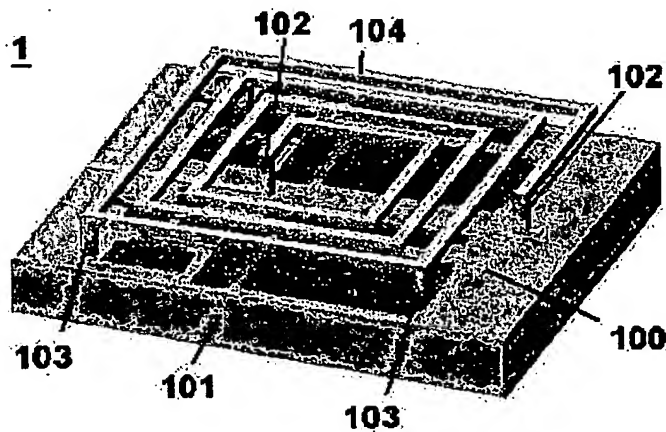
상기 신호 기둥과 연결되어 있으며, 상기 기판 상에 이격되어 순차적으로 형성된 조절판 및 정지판, 및 상기 스위치 유전체와 상기 정지판 상에 소정의 높이로 이격되어 있는 상부 스위치 평판을 포함하는 마이크로 스위치.

#### 형구항 15

기판 상에 형성된 도체판, 상기 도체판과 연결되어 있으며, 상기 기판 상부에 상기 도체판의 양측에 형성된 벽 접지판, 및 상기 벽접지판과 전기적, 공간적으로 격리된 중앙에 상기 기판과 이격되어 형성된 신호 선을 포함하는 도파관.

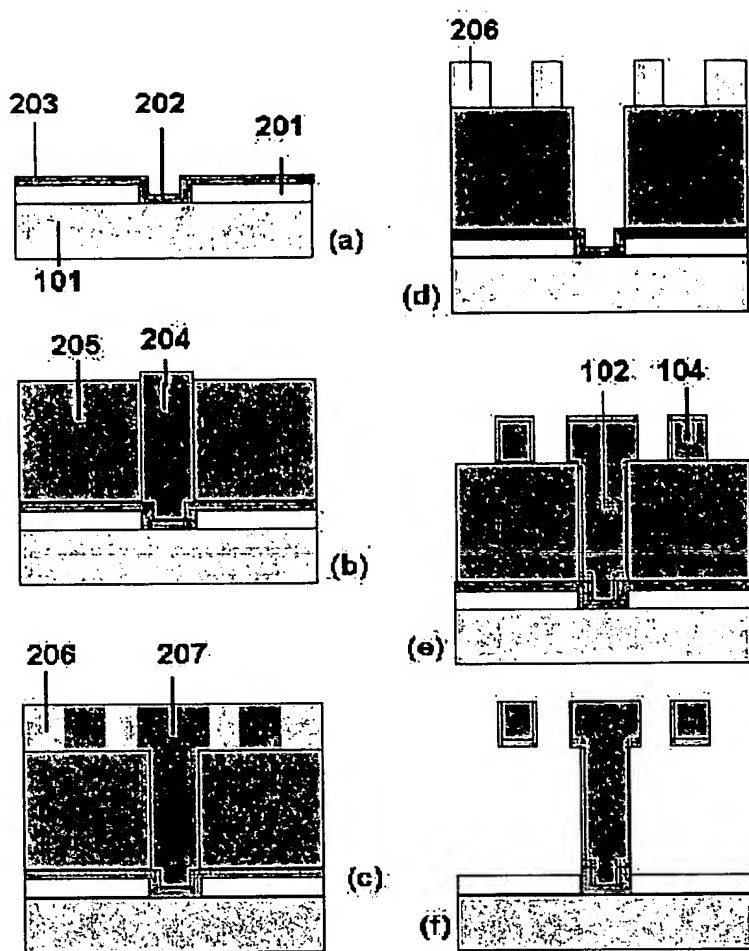
도면

도면 1

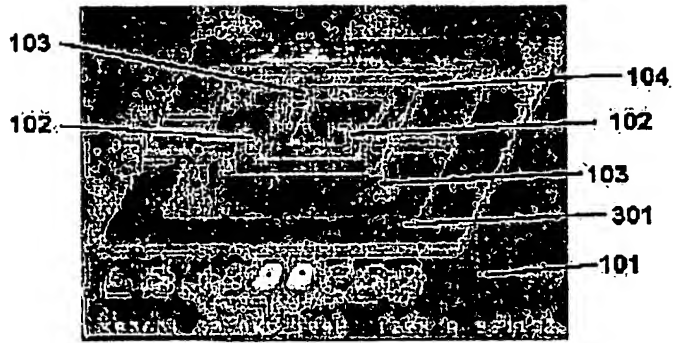




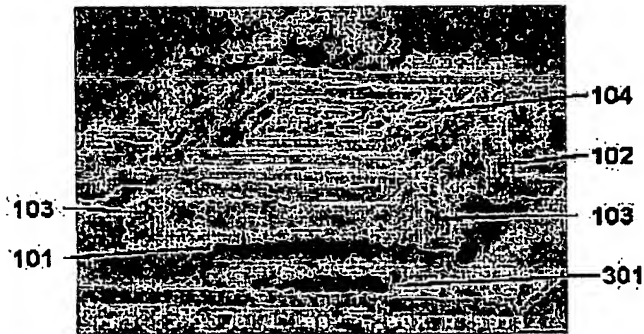
502



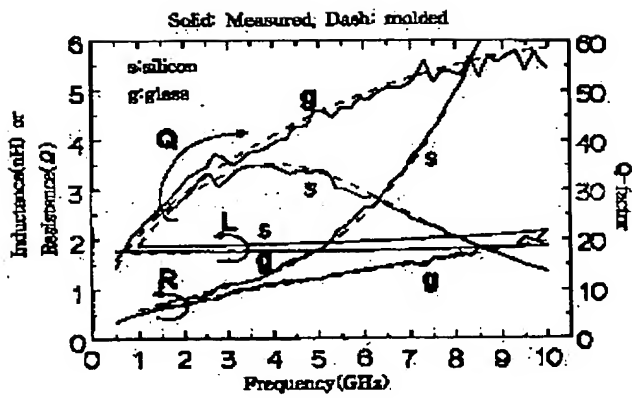
도 3a



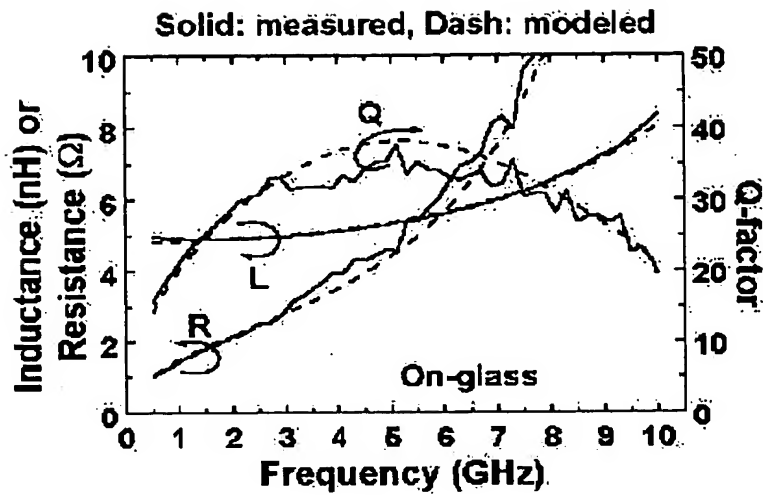
도 3b



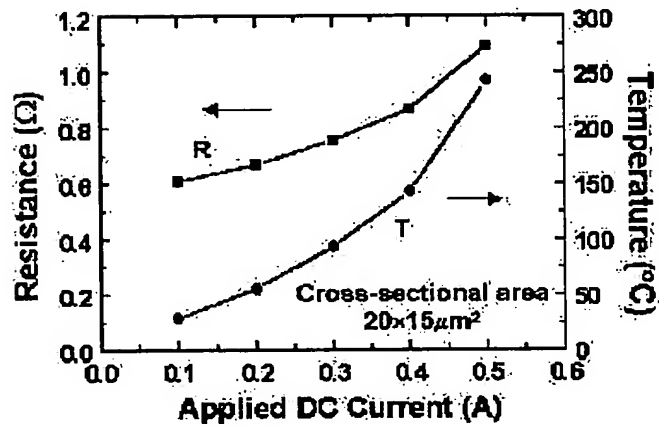
도 4a



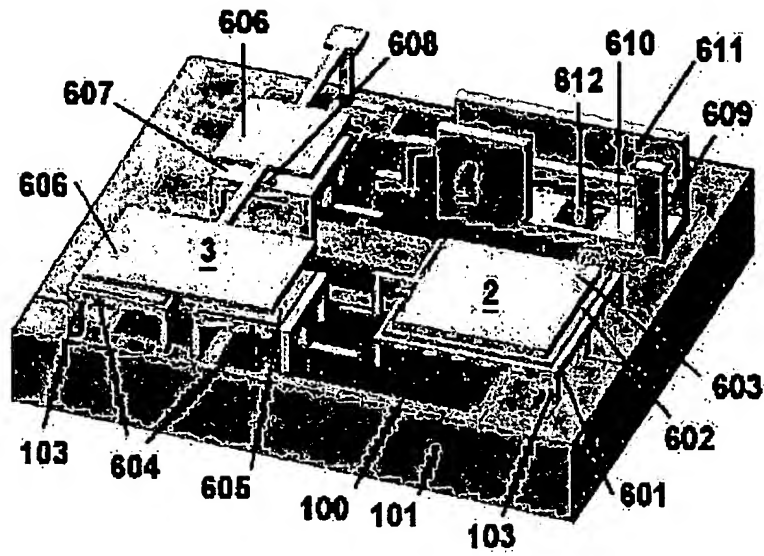
도 4b



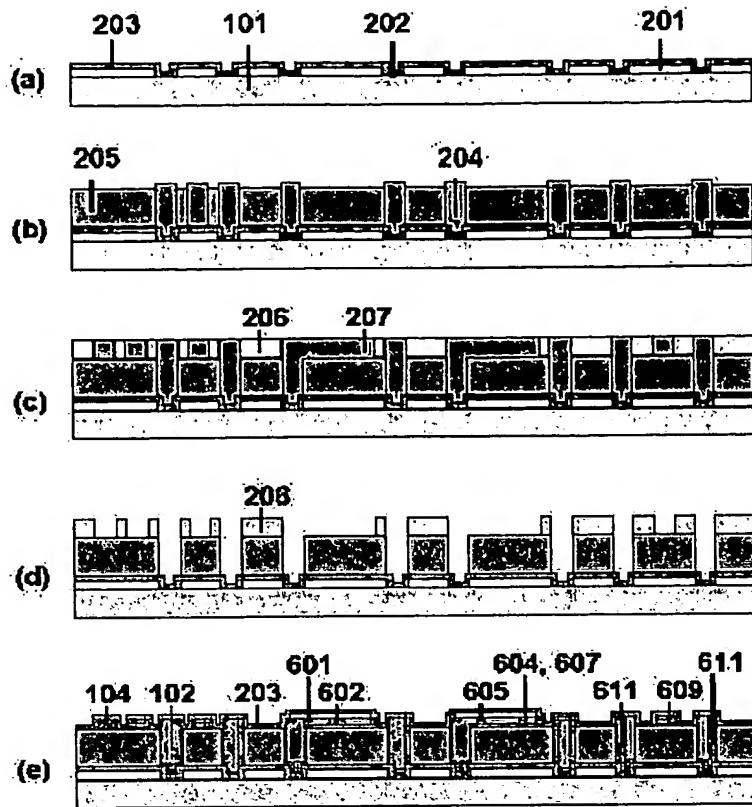
도 5



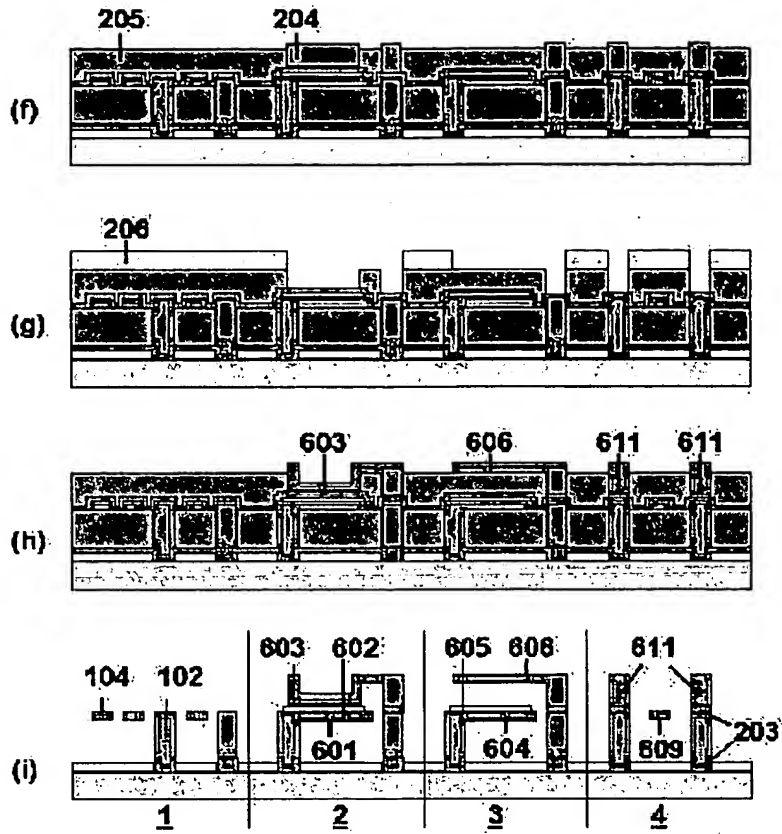
도 8



도 7a



도면 7b



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.